

**BEST AVAILABLE COPY****PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 09-326197

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

G11C 16/04

(21)Application number : 08-143798

(71)Applicant : TOSHIBA CORP

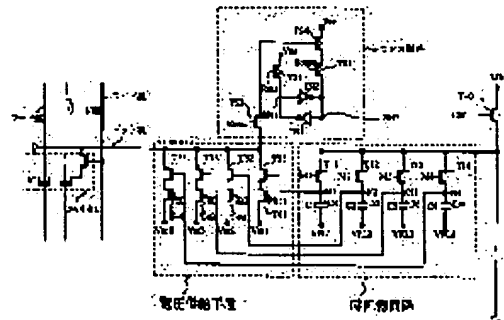
(22)Date of filing : 06.06.1996

(72)Inventor : IWATA YOSHIHISA

**(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND BIT LINE CHARGING METHOD****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To shorten the time required for reading and writing data by providing a temporary storage circuit which accumulates data for writing to and reading from memory and a voltage supplying circuit which supplies voltages corresponding to multi-values to bit lines for each bit line.

**SOLUTION:** Each bit line is provided with a temporary storage circuit which accumulates data to be written to and read out from memory cells and a voltage supplying the potentials corresponding to multivalues to bit lines. In one unit block, a sense amplifier which is connected with a cell array including multi-value storable nonvolatile memory cells through bit lines is connected with a temporary storage circuit. This circuit is connected with an I/O line and the voltage supplying means, which is connected with bit lines. By this, multi-value data can be read out at one time from multi-value storable nonvolatile memory cells connected to one word line and thereby readout time can be saved.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-326197

(43)公開日 平成9年(1997)12月16日

(51)Int.Cl.<sup>6</sup>

G 1 1 C 16/04

識別記号

庁内整理番号

F I

G 1 1 C 17/00

技術表示箇所

3 0 8

審査請求 未請求 請求項の数16 O L (全 23 頁)

(21)出願番号 特願平8-143798

(22)出願日 平成8年(1996)6月6日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

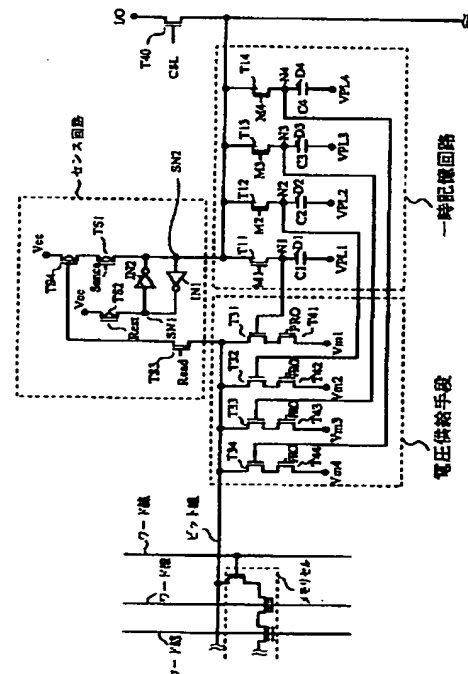
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 不揮発性半導体記憶装置及びビット線充電方法

(57)【要約】

【課題】本発明は、チップ面積の増大を極力抑えて、全てのメモリセルから一度のデータを読み出す事が可能な不揮発性半導体装置を提供する事である。

【解決手段】本発明は、メモリセルに書き込むデータ及びメモリセルから読み出されるデータを蓄積する一時記憶回路と、多値に対応した電圧をビット線に供給する為の電圧供給回路が、ビット線毎に設けられている。



1

## 【特許請求の範囲】

【請求項1】 電荷蓄積層を有し、N値 ( $N \geq 3$ ) のデータを記憶することができる複数の不揮発性メモリセルを含むメモリセルアレーと、

前記不揮発性メモリセルに接続され、前記不揮発性メモリセルとデータの授受を行うビット線と、

前記ビット線に接続されたセンス回路と、

前記センス回路に接続され、N値データを一時記憶するための一時記憶回路と、

前記ビット線と前記一時記憶回路とに接続された電圧供給回路とを備え、

前記不揮発性メモリにデータを書き込む時に、

前記電圧供給回路が、前記一時記憶回路に蓄えられたN値書き込み用のデータに応じて前記ビット線に印加する電圧を変化させ、

前記不揮発性メモリからデータを読み出す時に、

前記不揮発性メモリから読み出されたN値データをセンス回路でセンス増幅し、前記一時記憶回路に、センス増幅したN値データを一時記憶する事を特徴とする不揮発性半導体記憶装置。

【請求項2】 行列状に配置された複数の不揮発性メモリセルを有し、前記不揮発性メモリセルがN ( $N \geq 3$ ) 値のデータを記憶する事が可能な不揮発性半導体記憶装置において、

前記メモリセルアレーに接続され、前記不揮発性メモリセルとデータの授受を行う複数のビット線と、

前記メモリセルアレーに接続され、前記不揮発性メモリセルのゲート電極に接続された複数のワード線と、

前記複数のビット線毎に接続され、前記不揮発性メモリセルから出力されたデータをセンス増幅する為のセンス回路と、

前記メモリセルアレーに書き込む為のN値データ、及び前記メモリセルアレーから読み出されたN値データを一時記憶するための一時記憶回路と、

前記ビット線と前記一時記憶回路とに接続され、前記一時記憶回路に記憶されたデータに応じて前記ビット線にN値書き込み用の電位を印加する為の電圧供給回路とを具備する事により、同一の前記ワード線に接続されるN ( $N \geq 3$ ) 値記憶可能な不揮発性メモリセルに同時にN値データを書き込む事、若しくは同一の前記ワード線に接続されたN ( $N \geq 3$ ) 値記憶可能な不揮発性メモリセルから同時にN値データを読み込む事を可能にした不揮発性半導体記憶装置。

【請求項3】 前記メモリセルアレーは、前記複数の不揮発性メモリセルの各電流経路が直列接続されたNAND型メモリセルを構成し、このNAND型メモリセルの一端が前記ビット線に接続されている事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項4】 前記複数の不揮発性メモリセルが、AND型メモリセルを構成する事を特徴とする請求項1及び

2

2記載の不揮発性半導体記憶装置。

【請求項5】 前記複数の不揮発性メモリセルが、NOR型メモリセルを構成する事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項6】 前記複数の不揮発性メモリセルが、DINOR型メモリセルを構成する事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項7】 前記一時記憶回路が、MIS型トランジスタと情報記憶用キャパシタが直列に接続された記憶セルがN個並列に接続されている事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項8】 前記情報記憶用キャパシタがしきい電圧を有したMOSキャパシタである事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項9】 請求項1及び2記載の不揮発性半導体記憶装置において、前記不揮発性メモリセルにデータを書き込む際、FNトンネル電流を利用する事を特徴とする請求項1及び2記載の不揮発性半導体記憶装置。

【請求項10】 多値を記憶する事が出来る不揮発性メモリセルを有する不揮発性半導体記憶装置に多値データを書き込む際のビット線充電方法において、

書き込み用信号を、MIS型トランジスタと情報記憶用キャパシタとが直列に接続されてなる信号記憶セルが、多値に対応する数だけ並列に接続された一時記憶回路にデータを書き込む動作と、

前記情報記憶用キャパシタの両端子のうちMIS型トランジスタと接続されていない端子の電位をブッシュする事によりビット線に多値に対応した電位を転送する動作とを有する事を特徴とするビット線充電方法。

【請求項11】 情報記憶用キャパシタとMIS型トランジスタが直列接続された信号記憶セルがN個並列に接続され構成された一時記憶回路に、N値書き込み用信号を書き込む動作と、

前記書き込み信号を、前記情報記憶用キャパシタの両端子のうちMIS型トランジスタと接続されていない端子の電位をブッシュする事により、ビット線に充電電圧を供給するための電圧供給回路に転送する動作と、前記転送された書き込み用信号を受け、N値に対応した電位をビット線に転送する動作とを有する事を特徴とするビット線充電方法。

【請求項12】 多値記憶可能なメモリセルを有する半導体記憶装置から多値データを読み込む方法において、前記多値記憶可能なメモリセルにデータが書き込まれている時、前記データが書き込まれたメモリセルに接続されたワード線の電位を低電位から高電位に上昇させる事により、前記メモリセルに記憶されているデータをビット線に伝達する動作と、

前記ビット線に伝達されたデータをセンス増幅する動作と、

前記センス増幅された信号を、多値信号に対応させ一時

50

3

記憶回路に記憶させる動作とを有する事を特徴とするデータの読み出し方法。

【請求項13】  $N(N \geq 3)$  値記憶可能な不揮発性メモリセルにデータが書き込まれている時、前記データが書き込まれた不揮発性メモリセルに接続されたワード線の電位を低電位から高電位に上昇させる事により、前記不揮発性メモリセルに記憶されている $N$ 値データをビット線に伝達する動作と、

前記ビット線に伝達された $N$ 値データをセンス増幅させ、このセンス増幅させた信号を一時記憶回路に記憶させる動作とを有する事を特徴とする不揮発性半導体装置におけるデータの読み出し方法。

【請求項14】 ワード線の電位を高電位から低電位に減少させる事を特徴とする請求項12及び請求項13記載のデータの読みだし方法。

【請求項15】 前記ワード線の電位を高電位から低電位へ、及び低電位から高電位への変化が概略線形である事を特徴とする請求項12乃至14記載のデータの読み出し方法。

【請求項16】 前記ワード線の電位を高電位から低電位へ、及び低電位から高電位への変化が階段状に変化する事を特徴とする請求項12乃至14記載のデータの読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性半導体記憶装置に関するもので、特に、同一ワード線に接続される多値記憶可能な不揮発性メモリ素子を同時に読み出す事が可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 不揮発性半導体記憶装置は電源を切ってもメモリに蓄積されたデータが失われない等の利点があるため、携帯電話器やポケットベル等に需要が大幅に増大している。電気的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成する事が出来るので、メモリセルの占有面積を縮小する事が可能となり、大容量の磁気ディスクの代替用途が期待されている。

【0003】 これらの不揮発性半導体記憶装置は、浮遊ゲートを有するMOSトランジスタからなるメモリセルをマトリクス状に配置してメモリセルを構成し、トンネル現象もしくはインパクトイオン化現象を利用して、この浮遊ゲートに電子を注入させ、MOSトランジスタのしきい値を変化させ、その変化により情報を記憶する。また、浮遊ゲートに注入された電子は、エネルギー障壁の為、浮遊ゲート内に閉じこめられる。この為、一旦浮遊ゲートに蓄積された情報は失われず、不揮発性記憶装置として機能する。

【0004】 また、不揮発性半導体装置には、メモリセ

4

ルを構成するMOSトランジスタのしきい値のレベルを高い状態（データが蓄積された状態）と低い状態（消去状態）の2値としてデータを記憶するものと、しきい値のレベルを多値（3値以上）としてデータを記憶するものがある。

【0005】 ここでは、多値記憶可能な不揮発性半導体記憶装置をNAND型フラッシュメモリを例に取り説明する。図34は不揮発性半導体記憶装置の主要ブロック図を示している。不揮発性半導体記憶装置993は、ロウデコーダ994、カラムデコーダ995、I/Oバッファ、センスアンプブロック997、カラムゲートトランジスタ群998、メモリセルアレー999から構成されている。

【0006】 NAND型メモリセルが行列状に配置されたメモリセルアレー999は、数千本のワード線と数千本のビット線を有している。ワード線の一端はロウデコーダ994に接続され、ロウデコーダ994は、外部からのアドレス信号に基づいてワード線を選択する。また、ビット線の一端はカラムゲートトランジスタ群998に接続され、カラムゲートトランジスタ群998は、外部からのアドレス信号に基づいてカラムデコーダ995によりデコードされた信号を受け、選択されたビット線をセンスアンプブロック997に接続する。センスアンプブロック997でセンス増幅された信号は、I/Oバッファ996に伝達され、I/Oバッファ996は当該不揮発性半導体記憶装置993外部とのインターフェイスを取る。

【0007】 次に、図36にメモリセルアレー999、カラムゲートトランジスタ群998、カラムデコーダ、ロウデコーダ部分の詳細図を示した。ここで、BL1～BL4ビット線を、WL1～WL5はワード線を、992はNAND型メモリセルを示している。

【0008】 図37はNAND型メモリセル992の詳細図を示している。一つのNAND型メモリセル992は直列に8個接続されたメモリセルMC11～MC18から構成され、メモリセルMC11～MC18のそれぞれは電子を蓄積するためのフローティングゲートを有している。また、直列に接続されたメモリセルMC11～MC18の一端は、第一の選択トランジスタSGD1を介してビット線BL1に接続され、直列に接続されたメモリセルMC11～MC18の他端は、第二の選択トランジスタSGS1を介して共通ソース線に接続されている。全てのNAND型メモリセル992は以上の様に構成されている。

【0009】 また、図38はこのNAND型メモリセル992の集積回路上の断面図を示している。N型半導体基板（N-SUBSTRATE）にP-WELLを形成し、このP-WELLにメモリセルMC11～MC18、選択トランジスタSGS1、SGD1が形成されている。また、これらのトランジスタのソース/ドレイン

10

20

30

40

50

5

として使用する拡散層N+は隣り合うトランジスタと共有しており、選択トランジスタSGD1の他方の拡散層はビット線に接続されている。

【0010】次に、この不揮発性半導体記憶装置の書き込み動作について図39を参照しながら説明する。ここで、図37に示すメモリセルMC11にのみデータを書き込むと仮定する。

【0011】まず、初めに全てのメモリセルに電荷が蓄積されていない状態において、ビット線BL1を0Vに、ビット線BL2を10Vに印可する。次いで非選択ワード線WL1C~WL1Iを12Vに、選択ワード線WL1Bを書き込み電圧（例えば、20V）に、選択トランジスタのワード線WL1Aを12Vに、WL1Lを0Vに印可する。この為、メモリセルMC11~MC18、選択トランジスタSGD1はON状態となり、選択トランジスタSGS1はOFF状態となる。

【0012】選択トランジスタSGS1はOFF状態なので、メモリセルMC11においては、メモリセルMC11のソース端子Sの電位はフローティング状態となり、制御ゲートCGとドレイン端子Dとの間に書き込み電圧（例えば、20V）の電圧が印可されるので、ゲート絶縁膜990を介してフローティングゲートFGに電子が注入される（図39（1）参照）。すなわち、メモリセルMC11にはデータが記憶され、この状態を特に蓄積状態と言う。

【0013】また、この蓄積状態を図39（2）を用いて更に説明する。図39（2）はしきい値の個数分布図を示しており、4値書き込みの場合を示している。上述のように、メモリセルの制御ゲートCGとドレイン端子Dとの間に高電圧（書き込み電圧）を印可する事により、フローティングゲートFGに電子を注入し、このメモリセルのしきい値が上昇する。すなわち、しきい値は消去状態“0”から蓄積状態“1”、“2”、“3”のいずれかに遷移する。また、“1”、“2”、“3”のどの蓄積状態に遷移するかは、制御ゲートとドレイン端子間に印可する電圧の大きさに依存する。ここでは、“2”データの状態になったと仮定する。

【0014】また、フラッシュメモリに使用される全てのメモリセルは同じ程度にしきい値が上昇するのではなく、個々のメモリセルにより異なる。この為、蓄積状態のメモリセルのしきい値はある個数分布L1~L4を持っている。例えば、“0”データの時のしきい値の範囲L1を-2.5V~-0.5V、“1”データの時のしきい値の範囲L2を0.5V~1.5V、“2”データの時のしきい値の範囲L3を2.5V~3.5V、“3”データの時のしきい値の範囲L3を4.5V~5.5Vと仮定する。

【0015】また、MC12~MC18においては、制御ゲートCGは12Vに印可されているので、制御ゲートCGとドレイン端子D間には12Vの電圧が印可され

6

るが、トンネル現象を発生させるには低い電圧なのでフローティングゲートFGに電子は注入されない。すなわち、データは記憶されず、消去状態“0”のままである。

【0016】また、メモリセルMC21においては、制御ゲートCGとドレイン端子Dとの間に10V（20V-10V）が印可され、メモリセルMC22~MC28の制御ゲートCGとドレイン端子Dとの間に2V（12V-10V）が印可されている。この為、メモリセルMC21~MC28のフローティングゲートFGにも電子は注入されない。すなわち、消去状態のままである。

【0017】また、ビット線BL2に印可された電圧（10V）を特に書き込み禁止電圧と言う。以上の様にして、所定のメモリセルMC11にのみ蓄積状態となり、書き込み動作が終了する。

【0018】次に、読み出し動作について説明する。今、メモリセルMC11が“2”データの状態で仮定する。ワード線WL1Bを4Vにし、メモリセルMC11を選択する。また、ワード線WL1A、WL1J、非選択ワード線WL1C~WL1Iを12Vに印可し、メモリセルMC12~MC18、MC22~MC28、選択トランジスタSGD1、SDG2、SGS1、SGS2をONにする。

【0019】また、ビット線BL1及びBL2を0Vに放電したあとフローティング状態にする。また、共通ソース線電位VSを12Vにする。ワード選択線WL1Bの電位（4V）は、しきい電圧（2.5V~3.5V）より高いので、“2”データの蓄積状態にあるメモリセルはONする。この為、ビット線BL1には、共通ソース線電位VSからメモリセルMC11のしきい電圧を減じた電位に充電される。

【0020】この場合、メモリセルMC11においては、メモリセルMC11のしきい値が2.5V~3.5V（“2”の状態、図39（2）参照）になっているので、ビット線は2.5V~3.5Vの範囲の電位に充電される。このビット線の電位の変化をセンスアンプで感知し、センス増幅する。

【0021】また、他のセルの影響を考慮して、それらのセルの一つでも“3”の状態にあったとしても、メモリセルMC11のしきい値が-2.5V~-0.5V（“0”の状態、図39（2）参照）の時、ビット線は6.5V以上の範囲の電位に、しきい値が0.5V~1.5V（“1”の状態、図39（2）参照）の時、ビット線は4.5V~5.5Vの範囲の電位にそれぞれ充電される。また、しきい値が4.5V~5.5V（“3”の状態、図39（2）参照）の時、メモリセルMC11はONしないので、ビット線は0Vのままである。

【0022】以上の様に、4値記憶の不揮発性半導体記憶装置では、選択ワード線の電位を所定の電位に設定

7

し、ビット線の電位の変化をセンスする事により4つの蓄積状態“0”、“1”、“2”、“3”を判別をする。

【0023】次に、この判別に関し説明する。4値記憶の不揮発性半導体記憶装置の回路の主要部分を従来図40に示した。複数のメモリセル1～Nのそれぞれは、ビット線に接続されており、制御回路1～3及びカラムゲート1～Nを介して、複数のフリップフロップFF11～FF13に接続されている。また、これらのフリップフロップFF11～FF13の端子VL11～VL13

VL11=H、VL12=H、VL13=Hの時、“0”データ

VL11=L、VL12=H、VL13=Hの時、“1”データ

VL11=L、VL12=L、VL13=Hの時、“2”データ

VL11=L、VL12=L、VL13=Lの時、“3”データ

の様に“0”～“3”の4値を判別する。

【0025】ここで注意しなければならないのは、N個のメモリセル1～Nが3個のフリップフロップFF11～FF13を共有している事である。すなわち、一つのメモリセル（例えば、メモリセル1）の4値の読み出しを行っている時は他のメモリセル2～Nはビット線から切り離されている。この為、全てのビット線1～Nからの読み出しを行う事が出来ない。また、ビット線1～Nのそれぞれに、複数のフリップフロップからなるセンスアンプを設けるとチップ面積の増加となってしまう。また、2値の場合と同様のチップ面積にしようするとビット線3本で、3個のフリップフロップからなるセンスアンプを共有する形で設ける事しかできない。

【0026】

【発明が解決しようとする課題】以上の様に、多値記憶の不揮発性半導体記憶装置では、多数個のメモリセルがセンスアンプとして使用するフリップフロップを共有しているため、すべ値のメモリセルを一度に読み出せなかった。この為、全てもメモリセルからデータを読み出すには、一つ一つのメモリセルからデータを読み出さなければならない。データを読み出す為に時間がかかってしまっていた。

【0027】本発明の目的は、以上の様な問題を鑑み、チップ面積の増大を極力抑え、全てのメモリセルから一度のデータを読み出す事が可能な不揮発性半導体装置を提供する事である。

【0028】

【課題を解決するための手段】本発明は、メモリセルに書き込むデータ及びメモリセルから読み出されるデータを蓄積する一時記憶回路と多値に対応した電位をビット線に供給する電圧供給手段がビット線毎に設けられている。

【0029】この為、同一ワード線に接続されたメモリセルに同時に読み書きが出来るので、データの読み書きに要する時間を短縮する事が可能となる。また、本発明にかかる不揮発性半導体記憶装置は電圧供給手段を有し

8

\*はそれぞれI/Oバッファに接続されている。また、制御回路1～3は、ビット線1～Nから伝達される信号に応じて、後段のFF11～FF13にどのような信号を伝達するかを制御するための回路である。

【0024】次に、4値のデータの判別方法について簡単に説明する。上述の様に、選択されたメモリセルのしきい値に応じて、ビット線の電位が決定される。このビット線の電位をフリップフロップFF11～FF13にラッチし、端子VL11～VL13の電位により4値を判別する。例えば、

VL11=H、VL12=H、VL13=Hの時、“0”データ

VL11=L、VL12=H、VL13=Hの時、“1”データ

VL11=L、VL12=L、VL13=Hの時、“2”データ

VL11=L、VL12=L、VL13=Lの時、“3”データ

ているので、不揮発性メモリセルに書き込むデータに応じた電位をビット線に供給する事が出来る。

【0030】

【発明の実施の形態】本発明の実施形態を図を用いて詳細に説明する。メモリセルアレイ999、カラムゲートトランジスタ群998、カラムデコーダ、ロウデコーダ部分の詳細図は既に図32に示した。ここで、BL1～BL4ビット線を、WL1～WL5はワード線を、992はNAND型メモリセルを示している。

【0031】図33はNAND型メモリセル992の詳細図を示している。一つのNAND型メモリセル992は直列に8個接続されたメモリセルMC11～MC18から構成され、メモリセルMC11～MC18のそれぞれは電子を蓄積するためのフローティングゲートを有している。また、直列に接続されたメモリセルMC11～MC18の一端は、第一の選択トランジスタSGD1を介してビット線BL1に接続され、直列に接続されたメモリセルMC11～MC18の他端は、第二の選択トランジスタSGS1を介して共通ソース線に接続されている。全てのNAND型メモリセル992は以上の様に構成されている。

【0032】まず初めに、不揮発性半導体記憶装置の書き込み動作について図35を参照しながら説明する。ここで、図33に示すメモリセルMC11にのみデータを書き込むと仮定する。

【0033】まず、初めに全てのメモリセルに電荷が蓄積されていない状態において、ビット線BL1を0Vに、ビット線BL2を10Vに印可する。次いで非選択ワード線WL1C～WL1Iを12Vに、選択ワード線WL1Bを書き込み電圧（例えば、20V）に、選択トランジスタのワード線WL1Aを12Vに、WL1Lを0Vに印可する。この為、メモリセルMC11～MC18、選択トランジスタSGD1はON状態となり、選択トランジスタSGS1はOFF状態となる。

【0034】選択トランジスタSGS1はOFF状態なので、メモリセルMC11においては、メモリセルMC

50

9

11のソース端子Sの電位はフローティング状態となり、制御ゲートCGとドレイン端子Dとの間に書き込み電圧(例えば、20V)の電圧が印可されるので、ゲート絶縁膜990を介してフローティングゲートFGに電子が注入される(図35(1)参照)。すなわち、メモリセルMC11にはデータが記憶され、この状態を特に蓄積状態と言う。

【0035】また、この蓄積状態を図35(2)を用いて更に説明する。図35(2)はしきい値の個数分布図を示しており、4値書き込みの場合を示している。上述のように、メモリセルの制御ゲートCGとドレイン端子Dとの間に高電圧(書き込み電圧)を印可する事により、フローティングゲートFGに電子を注入し、このメモリセルのしきい値が上昇する。すなわち、しきい値は消去状態“0”から蓄積状態“1”、“2”、“3”のいずれかの状態に移移する。また、“1”、“2”、“3”のどの蓄積状態に移移するかは、制御ゲートとドレイン端子間に印可する電圧の大きさに依存する。

【0036】図1は本発明にかかる第一の実施形態のブロック図を示している。図1に示すように、不揮発性半導体記憶装置は、セルアレー、ワード線、ビット線、センス回路、電圧供給手段、一時記憶回路から構成されている単位ブロックがそれぞれI/O線と接続されている。

【0037】また、一つの単位ブロックにおいて、多値記憶可能な不揮発性メモリセルを含むセルアレーはビット線を介してセンス回路に接続され、このセンス回路は一時記憶回路に接続されている。また一時記憶回路はI/O線と電圧供給手段に接続され、この電圧供給手段はビット線に接続される。

【0038】センス回路は、ビット線を介して不揮発性メモリから読み出された信号をセンス増幅する為のものであり、一時記憶回路は不揮発性メモリから読み出されたデータ、及びメモリへ書き込むためのデータを一時記憶するためのものである。また、I/O線は一時記憶回路と外部回路との間でデータのやり取りを行う為の入出力線である。また、電圧供給手段は、一時記憶回路に記憶されたデータに応じて4値書き込み用の4種類の電位に、ビット線をチャージする為のものである。また、メモリセルアレーは図33の993に既に示している。

【0039】次に、図2は、図1におけるセンス回路、一時記憶回路、電圧供給手段部分の詳細回路図を示している。センス回路は、トランジスタTS1~TS4と二つのインバータからなるラッチ回路下ら構成されている。また、一時記憶回路は、トランジスタT11~T14とキャパシタC1~C4から構成され、トランジスタT1N(N=1、2、3、4)と情報記憶用キャパシタCN(N=1、2、3、4)とが直列に接続された記憶セルが並列に4個接続されている。

【0040】また、電圧供給手段は、トランジスタT3

10

1~T34、T41~T44から構成され、トランジスタT3NとT4N(N=1、2、3、4)とが直列に接続されている電圧供給回路が並列に4個接続されている。また、一時記憶回路におけるストレージノードN1~N4はそれぞれトランジスタT31~T34のゲート端子に接続されている。

【0041】次に、図2に示した不揮発性半導体記憶装置の読み込み動作を図3を参照しながら説明する。今、メモリセル内の不揮発性メモリにデータが記憶されているとする。まず初めに、ビット線の電位を高電位(以下、Hと言う)にプリチャージし、その後フローティング状態にする。

【0042】次いで、Rest信号を低電位(以下、Lと言う)にして、センス回路内のTS2をONすると、ノードSN1、SN2はそれぞれH、Lとなる。また、Rest信号をLにするとほぼ同時に、一時記憶回路内のトランジスタT11のゲート電位M1(以下、単にM1と言う)をHにし、トランジスタT1をONさせる事により、情報記憶用キャパシタC1のストレージノードN1はLにリセットされる。その後M1をLに戻す。以上の動作は、図3の時間(1)に相当する。

【0043】次に、メモリセル内の一つの不揮発性メモリをワード駆動回路(図示せず)により選択する。すなわち、当該不揮発性メモリに接続されたワード線を選択する。選択された不揮発性メモリのゲート電位(以下、選択ゲートと言う)をVs01(例えば、0V)とし、その他の選択されない不揮発性メモリのゲート電位(以下、非選択ゲートと言う)の全てを、LからHに立ち上げる。この動作は、図3の時間(2)に相当する。

【0044】次に、Sense信号をLにし、M1をLからHに立ち上げ、トランジスタTS1をON状態にする。もし選択ゲートの電位Vs01が、その選択ゲートを有する不揮発性メモリのしきい値より低ければ、当該不揮発性メモリはONし、Hにプリチャージしていたビット線は放電しLになる。

【0045】センス回路内のトランジスタTS3のREST信号は、読み込み動作の間は常にVcc、すなわちHの状態にあるので、トランジスタTS3は読み込み動作中は常にON状態となる。また、ビット線が放電し、Lになるとセンス回路内のトランジスタTS4がONとなるので、ノードSN2はHになる。

【0046】また、M1をLからHに立ち上げると、トランジスタT11がONとなる。この為、ノードSN2のHが情報記憶用キャパシタC1を充電し、ストレージノードN1がHとなる。その後M1を再びHからLに立ち下げる。この時、他のトランジスタT12~T14はOFF状態なので、トランジスタT11のみに読み出されたデータが記憶される。以上の動作は図3の時間(3)の相当する。

【0047】以上と同様の動作をあと3回繰り返し、情



11

報記憶用キャパシタC2～C3に読みだしデータを一時記憶させる。但し、キャパシタC1、C2、C3、C4に読み出しデータを記憶させるときの選択ゲートの電位をそれぞれ $V_{s01}$ 、 $V_{s12}$ 、 $V_{s23}$ 、 $V_{s24}$  ( $V_{s01} < V_{s12} < V_{s23} < V_{s24}$ )に、電位を上昇させている事に注意する必要がある。また、以上の動作は図3の時間(4)～(5)に相当する。

【0048】次に、情報記憶用キャパシタC1～C4に記憶されたデータを出力線I/Oに乗せ、電位HまたはLに対応した二進データとして、当該不揮発性半導体記憶回路の外部にデータを転送する。

【0049】次に、この読み出し動作に関し更に詳細に説明する。図4(1)は4値の場合のしきい値の個数分布図を示している。また、(2)はNAND型メモリセルを示している。この4値をしきい値の小さい順にそれぞれ“0”、“1”、“2”、“3”とし、その幅をそれぞれ $L_n \sim H_n$  ( $n=0, 1, 2, 3$ )と定義する。また、後述する選択ゲート電位 $V_{s01}$ は $H_0 \sim L_1$ の範囲に、 $V_{s12}$ は $H_1 \sim L_2$ の範囲に、 $V_{s23}$ は $H_2 \sim L_3$ の範囲内に、 $V_{s34}$ は $H_3$ よりも大きいとする。

【0050】また、図4の(2)において、選択トランジスタSGS及びSGDをONにし、非選択の不揮発性メモリセルMC12～MC18をONにし、選択トランジスタSGSの一方の端子を接地する。また、選択不揮発性メモリセルMC11が“1”の状態にある場合を例に取り説明する。

【0051】まず初めに、選択不揮発性メモリセルMC11のゲート電位を $V_{s01}$ (波形に関しては図3を参照)にする。この時、電位 $V_{s01}$ は、選択不揮発性メモリMC11のしきい値( $L_1 \sim H_1$ )より小さいので、当該不揮発性メモリMC11はOFF状態のままである。この為、Hにプリチャージされたビット線は放電せずHのままとなる。この場合、上述した様に情報記憶用キャパシタC1はLのままであり、Lが記憶される。この動作は図3の時間(3)に相当する。

【0052】次に、選択不揮発性メモリセルMC11のゲート電位を $V_{s12}$ (波形に関しては図3を参照)にする。この時、電位 $V_{s12}$ は、選択不揮発性メモリMC11のしきい値( $L_1 \sim H_1$ )より大きいので、当該不揮発性メモリMC11はONになる。この為、Hにプリチャージされたビット線は放電し、電位がHからLに変化する。この場合、情報記憶用キャパシタC2にHが記憶される。この動作は図3の時間(4)に相当する。

【0053】次に、選択不揮発性メモリセルMC11のゲート電位を $V_{s23}$ (波形に関しては図3を参照)にした場合、上述と同様に情報記憶用キャパシタC3にHが記憶される。この動作は図3の時間(5)に相当する。

【0054】次に、選択不揮発性メモリセルMC11の

12

ゲート電位を $V_{s23}$ (波形に関しては図3を参照)にした場合、上述と同様に情報記憶用キャパシタC3にHが記憶される。この動作は図3の時間(6)に相当する。以上の様にして、本実施形態の読み出し動作が終了する。

【0055】図5に読み出し動作の際に、選択された不揮発性メモリに記憶されたデータによって、情報記憶用キャパシタにどのような情報が記憶されるかまとめたものである。

【0056】図5に示すように、選択された不揮発性メモリに“0”データが記憶されていた場合には、ストレージノードN1、N2、N3、N4の電位は全てHとなり、“1”データが記憶されていた場合には、ストレージノードN1、N2、N3、N4の電位はそれぞれL、H、H、Hとなり、“2”データが記憶されていた場合には、ストレージノードN1、N2、N3、N4の電位はそれぞれL、L、H、Hとなり、“3”データが記憶されていた場合には、ストレージノードN1、N2、N3、N4の電位はそれぞれL、L、L、Hとなる。

【0057】以上の様に、一時記憶回路に含まれる4個の情報記憶用キャパシタにデータを記憶させ、そのデータに基づいて4値データを判別する。また、以上は4値の場合を想定したが、3以上のN値でも良い。但し、その場合には情報記憶用キャパシタの数はN個となる。

【0058】本実施形態では、選択ゲートの電位を $V_{s01}$ から $V_{s34}$ へ上昇させたが、 $V_{s34}$ から $V_{s01}$ へ減少させてもよい。また、図5を見れば分かるように、4値を判別するだけなら情報用キャパシタの数は3個でもよい。すなわち、N値の判別を行う場合には情報記憶用キャパシタの数は、N値に対応する数だけあればよく、必ずしも情報記憶用キャパシタの数はN値と同じN個とは限らない。

【0059】また、情報記憶用のキャパシタは、電極間に誘電材料を挟んだ通常のものでなく、MOSキャパシタでもよい。MOSキャパシタの模式図を図6(1)に示した。また、図6の(2)はキャパシタの等価回路を示した。

【0060】図6に示した様に、ゲート電極はストレージノードN1に、一方の拡散層は端子VPL1に接続され、他方の拡散層は一方の拡散層に接続されており(N1、VPL1は図2参照)、このMOSキャパシタはしきい値を持っている。

【0061】また、図6の(2)示したように、キャパシタの上部電極D1はゲート電極に、下部電極D2はMOSキャパシタのチャンネル領域Aに、電極間絶縁膜D3は、ゲート絶縁膜にそれぞれ相当する。

【0062】本実施形態では、ビット線毎にセンス回路、一時記憶回路を設けているので、従来と異なり、一本のワード線に接続された多値記憶可能な不揮発性メモリセルから一度の多値データを読み出す事が出来る。こ

13

の為、読み出し時間を短縮する事が出来る。

【0063】また、従来は多値記憶回路にラッチ回路を用いていたが、本発明の一時記憶回路はMOSトランジスタ及びキャパシタにより形成されるので、大幅な占有面積の増加を伴わない。

【0064】また、情報記憶用キャパシタに平面型のMOSキャパシタを用いた場合、半導体基板上にキャパシタを積み重ねるスタック型キャパシタや、半導体基板に溝を掘って形成するトレンチ型キャパシタと異なり、平面型のMOSキャパシタは他のMOSトランジスタと同時に形成できるので、プロセス動作の大幅な増加を伴わない。

【0065】また、トレンチ型キャパシタやスタック型キャパシタで形成した場合は、キャパシタを三次元的に形成できるので占有面積の増加はほとんど無い。次に、第二の実施形態を図を用いて詳細に説明する。

【0066】図7に、第二の実施形態の動作波形を示した。本実施形態では、選択された不揮発性メモリの選択ゲートを階段状に上昇させる事を特徴とする。本実施形態は、第一の実施形態と回路構成は全く同じであり、回路構成は既に図2に示した。

【0067】次に、第二の実施形態の読み込み動作を説明する。まず初めに、ビット線をHにプリチャージし、その後フローティング状態にする。また、VPL1~VPL4をLにする。

【0068】次いで、センス回路内のトランジスタTS2におけるRest信号をHからLにすると、トランジスタTS2はON状態となり、ノードSN1及びSN2はそれぞれH及びLになる。

【0069】Rest信号をLにするとほぼ同時に、一時記憶回路内のトランジスタT11~T14のゲート端子に入力するM1~M4信号をすべてLからHになるので、トランジスタT11~T14はON状態になる。

【0070】この時、VPL1~VPL4はLなので、情報記憶用キャパシタC1~C4は放電し、リセットされる。ここまでの状態は図7の時間(1)に相当する。次に、メモリセル内の一つの不揮発性メモリをロウデコード(図示せず)により、所定のワード線を選択する。

【0071】選択された不揮発性メモリの選択ゲートを概略線形にLからHに上昇させる。その間、Sense信号をLにする事によりトランジスタTS1をONにし、M1~M4を順次LからHに立ち上げ、トランジスタT11~T14を順次ON状態にする。この動作は図7の時間(2)~(5)の状態に相当する。

【0072】センス回路内のトランジスタTS3のREST信号は、読み込み動作の間は常にVcc、すなわちHの状態にあるので、トランジスタTS3は読み出し動作中は常にON状態となる。

【0073】また、選択された不揮発性メモリセルにどのようなデータが記憶されているかに応じて、不揮発性

14

メモリセルは、Hにプリチャージしたビット線の電位を変化させる。一時記憶回路のトランジスタT11~T14を順次ONさせ、このビット線の電位の変化に応じた電位を情報記憶用キャパシタC1~C4に順次記憶させる。

【0074】次いで、CLS信号をLからHに立ち上げ、一時記憶回路に含まれるトランジスタT11からT14を順次ONさせる事により、入出力線I/O線にデータを乗せ、当該不揮発性半導体記憶装置の外部の回路にデータを転送する。この動作は図7の時間(6)の相当する。以上の様にして、本実施形態の読み込み動作が終了する。

【0075】次に、選択ワード線の電位を上昇させる回路について説明する。図8に読み込み時の選択ワード線駆動回路を示した。図8に示した様に、トランジスタTr55~Tr58から構成されている。

【0076】トランジスタTr55~Tr57は、出力Vscgと高電源電圧Vc1~Vc3間にそれぞれ接続され、トランジスタTr58は、出力Vscgと低電源電圧Vss間に接続されている。また、トランジスタTr55~Tr57のゲート端子のそれぞれに駆動信号D1~D3が印加され、トランジスタTr58のゲート端子にRest-Vscg信号が印加される。また、出力Vscgはロウデコードを介して、ワード線に接続されている。

【0077】図8に示されるワード駆動回路の出力波形を図9に示した。図9Rest-VscgをHからLへし、駆動信号D1~D3を順次HからLにすると、出力Vscgの電位はVs01、Vs12、Vs23、Vs34と階段状に上昇する。以上の様にして、図7に示される選択ゲートの波形を形成する事が出来る。

【0078】図10にワード駆動回路を示した。図10に示される様に、高電源電圧Vccと低電源電圧Vssとの間に、抵抗R110~R140が直列に接続される。また、トランジスタTr711~Tr713のゲート端子がそれぞれノードN11~N13に接続される。また、トランジスタTr711~Tr713のそれぞれはドレイン端子は電源電圧Vccに接続され、トランジスタTr711~Tr713のそれぞれのソース端子は、トランジスタトランジスタTr714~Tr716を介して出力端子Vscgに接続される。また、トランジスタTr717の電流経路は電源電圧Vccと出力端子Vscgに接続れる。

【0079】図10(2)に図10(1)のワード線駆動回路の動作波形を示した。駆動信号D1~D4を順にHからLに変化させると、出力信号Vscgは概略線形に上昇する。

【0080】図11に別のワード駆動回路を示し、その波形を図12に示した。図11に示される様に、トランジスタTr91、Tr93、Tr95がそれぞれ抵抗R

10

20

30

40

50

15

91、R93、R95と直列に接続されたものが、高電源電圧Vccと端子N100との間に並列に接続され、トランジスタTr92、Tr94、Tr96がそれぞれ抵抗R92、R94、R96と直列に接続されたものが、低電源電圧Vssと端子N100との間に並列に接続される。

【0081】また、端子N100は演算増幅回路OP3の+端子に、演算増幅回路OP4の-端子に接続されて、演算増幅回路OP4の-端子と演算増幅回路OP3の+端子が接続されている。

【0082】また、演算増幅器OP3、OP4の出力端子はそれぞれTr99、Tr100のゲート端子に接続されており、Tr99のゲート端子と高電源電圧Vcc間にトランジスタTr97が接続され、Tr100のゲート端子と低電源電圧Vss間にTr98が接続される。

【0083】また、トランジスタTr97のゲート端子は、入力がbD1～bD3であるNANDゲート103に、Tr100のゲート端子は、入力がD1～D3であるNORゲート104に接続される。ここで、bD1～bD3は、それぞれD1～D3の相補信号を意味する物とする。

【0084】また、ノード101と低電源電圧Vssとの間に抵抗R97とR98が接続され、ノード102は演算増幅回路OP3の-端子と、演算増幅回路OP4の+端子に接続されている。また、低電源電圧Vccとノード101の間にはTr101が接続される。

【0085】また、演算増幅器OP3もしくはOP4の詳細回路図は図11に(2)に示した。また、これらの回路の出力Vscgの波形を図12に示した。図12に示される様に、出力Vscgをステップ状に上昇させる事が出来る。

【0086】また、情報記憶用キャパシタに蓄積されるデータは既に図5に示した。本実施形態も第一の実施形態同様に、一時記憶回路に含まれる4個の情報記憶用キャパシタにデータを記憶させ、そのデータに基づいて4値データを判別する。

【0087】また、以上は4値の場合を想定したが、3以上のN値でも良い。但し、その場合には情報記憶用キャパシタの数はN個となる。また、情報記憶用のキャパシタは、電極間に誘電材料を挟んだ通常のものでなく、MOSキャパシタでもよい。MOSキャパシタの模式図及び等価回路は既に図6に示した。

【0088】本実施形態では、ビット線毎にセンス回路、一時記憶回路を設けているので、従来と異なり、一本のワード線に接続された多値記憶可能な不揮発性メモリセルから一度の多値データを読み出す事が出来る。この為、読み出し時間を短縮する事が出来る。

【0089】また、従来は多値記憶回路にラッチ回路を用いていたが、本発明の一時記憶回路はMOSトラン

16

ジスタ及びキャパシタにより形成されるので、大幅な占有面積の増加を伴わない。

【0090】また、情報記憶用キャパシタにMOSキャパシタを用いた場合、半導体基板上にキャパシタを積み重ねるスタック型キャパシタや、半導体基板に溝を掘って形成するトレンチ型キャパシタと異なり、MOSキャパシタは他のMOSトランジスタと同時に形成できるので、プロセス工程の増加も抑制出来る。

【0091】また、第一の実施形態では、一度ビット線をプリチャージしフローティング状態とし、センスアンプをリセットした後、選択ゲートにVs01の電位を印加し、ビット線の電位の変化をセンスアンプでセンス増幅する。次に、またビット線をプリチャージし、センス回路をリセットした後、フローティング状態とし、選択ゲートにVs12の電位を印加し、ビット線の電位の変化をセンスアンプでセンス増幅する。以上の様に、ビット線の電位をVs01、Vs12、Vs23、Vs34と変化させる度にビット線をプリチャージしたり、センスアンプをリセットしなければならない。

【0092】しかし、本実施形態は、選択ゲートの電位を概略線形に上昇させている。この選択ゲートと動作とワード線を駆動する間隔を取ったりする時間及びワード線等をリセットする時間は1回で済み、ビット線をプリチャージしたり、センスアンプをリセットする時間を短縮する事が出来る。

【0093】従って、N値のデータを読み出す為にN回読み出し動作を繰り返さなければならない第一の実施形態と異なり、本実施形態はN値のデータを読み出すのに1回の読み出し動作で済むので、トータルの読み出し時間を減らす事が出来る。

【0094】次に、第三の実施形態を図を用いて詳細に説明する。図13に、第三の実施形態の動作波形を示した。本実施形態では、選択された不揮発性メモリの選択ゲートを概略線形に上昇させる事を特徴とする。本実施形態は、第一の実施形態と回路構成は全く同じであり、回路構成は既に図2に示した。

【0095】次に、第三の実施形態の読み込み動作を説明する。まず初めに、ビット線をHにプリチャージし、その後フローティング状態にする。また、VPL1～VPL4をLにする。

【0096】次いで、センス回路内のトランジスタTS2におけるRest信号をHからLにすると、トランジスタTS2はON状態となり、ノードSN1及びSN2はそれぞれH及びLになる。

【0097】Rest信号をLにするとほぼ同時に、一時記憶回路内のトランジスタT11～T14のゲート端子に入力するM1～M4信号をすべてLからHになるので、トランジスタT11～T14はON状態になる。

【0098】この時、VPL1～VPL4はLなので、情報記憶用キャパシタC1～C4は放電し、リセットさ

17

れる。ここまでの状態は図13の時間(1)に相当する。次に、メモリセル内の一つの不揮発性メモリをロウデコーダ(図示せず)により、所定のワード線を選択する。

【0099】選択された不揮発性メモリの選択ゲートを概略線形にLからHに上昇させる。その間、Sense信号をLにする事によりトランジスタTS1をONにし、M1~M4を順次LからHに立ち上げ、トランジスタT11~T14を順次ON状態にする。この動作は図13の時間(2)~(5)の状態に相当する。

【0100】センス回路内のトランジスタTS3のRE ST信号は、読み込み動作の間は常にVcc、すなわちHの状態にあるので、トランジスタTS3は読み出し動作中は常にON状態となる。

【0101】また、選択された不揮発性メモリセルにどのようなデータが記憶されているかに応じて、不揮発性メモリセルは、Hにプリチャージしたビット線の電位を変化させる。一時記憶回路のトランジスタT11~T14を順次ONさせ、このビット線の電位の変化に応じた電位を情報記憶用キャパシタC1~C4に順次記憶させる。

【0102】次いで、CLS信号をLからHに立ち上げ、一時記憶回路に含まれるトランジスタT11からT14を順次ONさせる事により、入出力線I/O線にデータを乗せ、当該不揮発性半導体記憶装置の外部の回路にデータを転送する。この動作は図13の時間(6)の相当する。以上の様にして、本実施形態の読み込み動作が終了する。

【0103】次に、選択ワード線を上昇させる回路のついて説明する。図14に読み込み時の選択ワード線駆動回路を示した。また、そのタイミングチャートを図15に示した。

【0104】図14に示した様に、トランジスタTr51~Tr53、キャパシタC51、R51から構成されている。トランジスタTr51及びTr52はインバータを構成し、このインバータの入力にD、出力に抵抗R51の一端が接続されている。また、抵抗R51の他端と低電源電圧Vssとの間にトランジスタTr53及びキャパシタC51が並列に接続されており、トランジスタTr53のゲート端子は、トランジスタTr52のゲート端子に接続されている。また、出力Vscgはロウデコーダを介して、ワード線に接続されている。

【0105】図15に示した様に、入力Dの電位をHからLへ立ち下げると、出力端子Vscgの電位が概略線形に上昇し、入力Dの電位をLからHへ立ち上げると、出力端子Vscgの電位はLになる。

【0106】このワード駆動回路は、入力Dの電位をHからLにしても、初めにキャパシタが充電され、出力Vscgはすぐには立ち上がらず、キャパシタC51が充電されると共に出力Vscgの電位が徐々に上昇する。

18

以上の様にして、概略線形に上昇する選択ゲート信号を出力する。

【0107】図16に読み込み時の選択ワード線駆動回路を示した。また、そのタイミングチャートを図17に示した。図16の回路は、図8における抵抗R51をデプレッション型トランジスタTr58に置き換えたものである。また、図17に示される出力Vscgの波形は、図9の出力Vscgの波形よりより線形になる。

【0108】データ読み込み時の選択ワード線Vscgの波形が、より線形に事で一時記憶回路におけるトランジスタT11~T14(図2参照)を立ち上げるタイミングを概略等間隔にする事が出来る(図13のM1~M4の波形参照)ので、選択ゲートとトランジスタT11~T14とのタイミングを合わせ易くなる。

【0109】また、図18に別のワード駆動回路を示し、その波形を図19に示した。図18の(1)に示すように、トランジスタTr61~Tr64を並列に接続し、それらのトランジスタの電流経路の一端を電源電圧Vc1~Vc3及びVccに、他端を抵抗R55とトランジスタTr65に接続する。また、抵抗Rの他端となる出力Vscgと低電源電圧Vssとの間にトランジスタTr66とキャパシタC3とが並列に接続され、当該ワード駆動回路から出力される信号はロウデコーダを介してワード線に伝達される。

【0110】また図18の(2)に別のワード駆動回路を示した。図18(2)に示される様に、高電源電圧Vccと低電源電圧Vssとの間に、抵抗R11~R14が直列に接続される。また、トランジスタTr71~Tr73のゲート端子がそれぞれノードN11~N13に接続される。また、トランジスタTr71~Tr73のそれぞれはドレイン端子は電源電圧Vccに接続され、トランジスタTr71~Tr73のそれぞれのソース端子は、トランジスタトランジスタTr74~Tr76を介して出力端子Vscgに接続される。また、トランジスタTr77の電流経路は電源電圧Vccと出力端子Vscgに接続れる。

【0111】また、図18の(1)及び(2)の回路の動作波形は図19に示した。図19に示したように、駆動信号D1~D4を順次HからLにすると、出力信号Vscgの電位は概略線形に上昇する。

【0112】次に、図20に別のワード駆動回路を示し、その波形を図21に示した。図20に示される様に、トランジスタTr71、Tr73、Tr75がそれぞれ抵抗R61、R63、R65と直列に接続されたものが、高電源電圧Vccと端子N90との間に並列に接続され、トランジスタTr72、Tr74、Tr76がそれぞれ抵抗R62、R64、R66と直列に接続されたものが、低電源電圧Vccと端子N90との間に並列に接続される。

【0113】また、端子N90は演算増幅回路OP1の

19

+端子に、演算増幅回路OP2の一端に接続されて、演算増幅回路OP1の一端と演算増幅回路OP2の+端子が接続されている。

【0114】また、演算増幅器OP1、OP2の出力端子はそれぞれTr79、Tr80のゲート端子に接続されており、Tr79のゲート端子と高電源電圧Vcc間にトランジスタTr77が接続され、Tr80のゲート端子と低電源電圧Vss間にTr78が接続される。

【0115】また、トランジスタTr77のゲート端子は、入力がbD1~bD3であるNANDゲート101に、Tr80のゲート端子は、入力がD1~D3であるNORゲート102に接続される。ここで、bD1~bD3は、それぞれD1~D3の相補信号を意味する物とする。

【0116】また、ノード91と低電源電圧Vssとの間に抵抗R67とR68が接続され、ノード92は演算増幅回路OP1の一端と、演算増幅回路OP2の+端子に接続されている。

【0117】また、高電源電圧Vccとノード91の間にトランジスタTr81が接続され、低電源電圧Vccとノード91の間にはTr82が接続され、抵抗R69はノード91と出力Vscg間に、キャパシタC5は出力Vscgと低電源電圧Vss間に接続される。

【0118】また、演算増幅器OP1もしくはOP2の詳細回路図は図20に(2)に示した。また、これらの回路の出力Vscgの波形を図21に示した。図21に示される様に、出力Vscgを概略線形に上昇させる事が出来る。

【0119】また、図14、16、18、20に示されたワード駆動回路によって出力Vscgの電位を上昇させた場合、Vccまでしか上昇しない。しかし、Vcc以上の電位を確保する必要がある場合、図22に示される昇圧回路(チャージポンプ回路)を用いてVccをVDDに昇圧させて、図14、16、18、20に使用する。また、この昇圧回路の波形を図23に示した。

【0120】また、情報記憶用キャパシタに蓄積されるデータは既に図5に示した。本実施形態も第一の実施形態同様に、一時記憶回路に含まれる4個の情報記憶用キャパシタにデータを記憶させ、そのデータに基づいて4値データを判別する。

【0121】また、以上は4値の場合を想定したが、3以上のN値でも良い。但し、その場合には情報記憶用キャパシタの数はN個となる。本実施形態では、選択ゲートの電位をVs01からVs34へ上昇させたが、Vs34からVs01へ概略線形に減少させてもよい。

【0122】また、図5を見れば分かるように、4値を判別するだけなら情報用キャパシタの数は3個でもよい。すなわち、N値の判別を行う場合には情報記憶用キャパシタの数は、N値に対応する数だけあればよく、必ずしも情報記憶用キャパシタの数はN値と同じN個とは

20

限らない。

【0123】また、情報記憶用のキャパシタは、MOSトランジスタのソースとドレインを接続したMOSキャパシタが望ましい。MOSキャパシタの模式図及び等価回路は既に図6に示した。この時、MOSキャパシタに大きい電圧が存在する方がよい。つまり、キャパシタに蓄えられたデータがLになっているときVp11~Vp14をプッシュしたときN1~N4がHにならない様にする為である。

【0124】本実施形態では、ビット線毎にセンス回路、一時記憶回路を設けているので、従来と異なり、一本のワード線に接続された多値記憶可能な不揮発性メモリセルから一度の多値データを読み出す事が出来る。この為、読み出し時間を短縮する事が出来る。

【0125】また、従来は多値記憶用回路にラッチ回路を用いていたが、本発明の一時記憶回路はMOSトランジスタ及びキャパシタにより形成されるので、大幅な占有面積の増加を伴わない。

【0126】また、情報記憶用キャパシタにMOSキャパシタを用いた場合、半導体基板上にキャパシタを積み重ねるスタック型キャパシタや、半導体基板に溝を掘って形成するトレンチ型キャパシタと異なり、MOSキャパシタは他のMOSトランジスタと同時に形成できるので、プロセス工程の増加も抑制出来る。

【0127】また、第一の実施形態では、一度ビット線をプリチャージしフローティング状態とし、センスアンプをリセットした後、選択ゲートにVs01の電位を印加し、ビット線の電位の変化をセンスアンプでセンス増幅する。次に、またビット線をプリチャージし、センス回路をリセットした後、フローティング状態とし、選択ゲートにVs12の電位を印加し、ビット線の電位の変化をセンスアンプでセンス増幅する。以上の様に、ビット線の電位をVs01、Vs12、Vs23、Vs34と変化させる度にビット線をプリチャージしたり、センスアンプをリセットしなければならない。

【0128】しかし、本実施形態は、選択ゲートの電位を概略線形に上昇させている。この選択ゲートと動作とワード線を駆動する間隔を取ったりする時間及びワード線等をリセットする時間は1回で済み、ビット線をプリチャージしたり、センスアンプをリセットする時間を短縮する事が出来る。

【0129】従って、N値のデータを読み出す為にN回読み出し動作を繰り返さなければならない第一の実施形態と異なり、本実施形態はN値のデータを読み出すのに1回の読み出し動作で済むので、トータルの読み出し時間を減らす事が出来る。

【0130】選択ワード線をステップ状に上昇させる為には多数個の電源電圧が必要であったが、選択ワード線を概略線形に上昇させるために、図14及び図16のRC遅延を利用したワード駆動回路を用いれば電源電圧の

21

個数を減少(図14及び図16においては、電源電圧は $V_{cc}$ と $V_{ss}$ の二種類)させる事が出来る。

【0131】次に、図2に示される不揮発性半導体記憶装置の書き込み動作を図を用いて詳細に説明する。図24は書き込み動作のタイミングチャートである。まず初めに、全ての不揮発性メモリセルのデータを消去する。次いで、 $CS_L$ 信号をLからHに立ち上げトランジスタ $T_{40}$ をONさせ、 $M_1$ 、 $M_2$ 、 $M_3$ 、 $M_4$ をLからHに順次立ち上げ、トランジスタ $T_{11} \sim T_{14}$ を順次ONさせる。また、外部回路から入出力信号線 $I/O$ を介して伝達されたデータが、情報記憶様キャパシタ $C_1$ 、 $C_2$ 、 $C_3$ 、 $C_4$ に順次記憶される。その後、 $CL_S$ 信号をHからLに立ち下げる。ここまでの動作は、図24の時間(1)に相当する。

【0132】また、不揮発性メモリに書き込むデータに応じて情報記憶様キャパシタ $C_1 \sim C_4$ にデータが記憶され、記憶されるデータは既に図5に示した。次に、情報記憶用回路 $C_1 \sim C_4$ の一方の端子 $V_{PL1} \sim V_{PL4}$ (図2参照)をそれぞれ $V_{mw11} \sim V_{mw14}$ に印加し、電圧供給手段における $Pro$ 信号をHにし、選択ゲートを高電圧 $V_{pp}$ (例えば、20V)に、非選択ゲートをHレベルにする。これらの動作は図24の時間(2)に相当する。

【0133】時間(2)の時、信号 $M_1 \sim M_4$ はLの状態なので、トランジスタ $T_{11} \sim T_{14}$ はOFFとなっている。この為、情報記憶用キャパシタ $C_1 \sim C_4$ の上側電極 $D_1 \sim D_4$ に蓄積された電荷は逃げ場がなく、 $V_{PL1} \sim V_{PL4}$ の電位をそれぞれLから $V_{PL1} \sim V_{PL4}$ に上昇させる(以下、プッシュすると言う)と、ノード $N_1 \sim N_4$ の電位も上昇する。

【0134】ノード $N_1 \sim N_4$ の電位の上昇に伴い、トランジスタ $T_{31} \sim T_{34}$ がONするか、OFFするかが決定される。この決定を受け、トランジスタ $T_{41} \sim T_{44}$ は時間(2)の間はONしているので、ビット線に現れる電位が決定される。このビット線の電位により、所定のデータ(“0”、“1”、“2”、“3”のいずれか)が不揮発性メモリに書き込まれる。以上の様にして、書き込み動作が終了する。

【0135】次に、上記の $V_{PL1} \sim V_{PL4}$ の電位の決定方法について詳細に説明する。今、所定の不揮発性メモリセルに“3”データを書き込む場合を説明する。この場合、ノード $N_1 \sim N_4$ の電位は、それぞれL、L、L、Hとなる。すなわち、情報記憶用キャパシタ $C_1 \sim C_4$ に、それぞれL、L、L、Hが記憶されている(記憶されるデータに関しては図5参照)。

【0136】この場合、ノード $N_4$ の電位のみHなので、トランジスタ $T_{34}$ のみがONとなる。この為、ビット線は $V_{m4}$ に充電される。このビット線の電位により、所定の不揮発性メモリセルに“3”データが書き込まれる。

22

【0137】次に、所定の不揮発性メモリセルに“2”データを書き込む場合を説明する。この場合、ノード $N_1 \sim N_4$ の電位は、それぞれL、L、H、Hとなる(図5参照)。

【0138】この場合、ノード $N_3$ と $N_4$ の電位がHなので、トランジスタ $T_{33}$ と $T_{34}$ がONとなる。また、この時、ノード $N_4$ の電位がプッシュした後も、 $V_{m4} + V_{th34}$ ( $V_{th34}$ はトランジスタ $T_{34}$ のしきい電圧)を越えないように、プッシュ電圧 $V_{PL4}$ の値を決定する。

【0139】次に、所定の不揮発性メモリセルに“1”データを書き込む場合を説明する。この場合、ノード $N_1 \sim N_4$ の電位は、それぞれL、H、H、Hとなる(図5参照)。

【0140】この場合、ノード $N_2 \sim N_4$ の電位がHなので、トランジスタ $T_{32} \sim T_{34}$ がONとなる。また、この時、ノード $N_3$ の電位がプッシュした後も、 $V_{m3} + V_{th33}$ ( $V_{th33}$ はトランジスタ $T_{33}$ のしきい電圧)を越えないように、プッシュ電圧 $V_{PL3}$ の値を決定する。

【0141】次に、所定の不揮発性メモリセルに“0”データを書き込む場合を説明する。この場合、ノード $N_1 \sim N_4$ の電位は、全てHとなる(図5参照)。この場合、ノード $N_1 \sim N_4$ の電位がHなので、トランジスタ $T_{31} \sim T_{34}$ がONとなる。また、この時、ノード $N_2$ の電位がプッシュした後も、 $V_{m2} + V_{th32}$ ( $V_{th32}$ はトランジスタ $T_{32}$ のしきい電圧)を越えないように、プッシュ電圧 $V_{PL2}$ の電位を決定する。

【0142】以上の様にして、プッシュ電圧 $V_{PL1} \sim V_{PL4}$ を決定する。例えば、以下の様にプッシュ電圧 $V_{PL1} \sim V_{PL4}$ を決定する。

$$V_{PL1} = V_{m1} - V_{cc}$$

$$V_{PL2} = V_{m2} - V_{cc}$$

$$V_{PL3} = V_{m3} - V_{cc}$$

$$V_{PL4} = V_{ss}$$

プッシュ電圧 $V_{PL1} \sim V_{PL4}$ を以上の様に決定すると、ビット線 $V_{bit}$ は以下の様に充電される。ただし、トランジスタ $T_{31} \sim T_{34}$ のしきい電圧 $V_{th31} \sim V_{th34}$ は全て等しく、 $V_{th}$ とする。

書き込むデータが“3”の時、 $V_{bit} = V_{cc} - 2V_{th}$

書き込むデータが“2”の時、 $V_{bit} = \alpha \times (V_{m3} - V_{ss}) + V_{cc} - 2V_{th}$

書き込むデータが“1”の時、 $V_{bit} = \alpha \times (V_{m2} - V_{ss}) + V_{cc} - 2V_{th}$

書き込むデータが“0”の時、 $V_{bit} = \alpha \times (V_{m1} - V_{ss}) + V_{cc} - 2V_{th}$

ここで、 $\alpha$ はカップリング係数である。

【0143】例えば、カップリング係数を0.8、NM

23

OSTランジスタのしきい電圧が1Vとすると、 $V_{cc} = 3V$ として $V_{m1} = 10V$ 、 $V_{m2} = 4V$ 、 $V_{m3} = 3V$ 、 $V_{m4} = 2V$ として、 $C1$ 、 $C2$ 、 $C3$ 、 $C4$ の電位は2Vとなるから、 $V_{p14} = 0V$ のままで、 $V_{p13}$ は0Vから1.25Vへ、 $V_{p12}$ は0Vから2.5Vへ、 $V_{p11}$ は0Vから10Vへブートすると、 $C1$ 、 $C2$ 、 $C3$ 、 $C4$ がHのとき、その電位はそれぞれ10V、4V、3V、2Vとなる。ビット線へは、それぞれ9V、3V、2V、1Vが転送される。

【0144】また、選択ワード線に21Vを加えれば、ワード線と選択セルのチャネルに加わる電位差はそれぞれ12V、18V、19V、20Vとなり、書き込み時間を20 $\mu$ s程度とすると、それぞれ負のまま、1V、2V、3Vと書き込まれる

また、メモリセルへの書き込み特性を図25に示した。縦軸にしきい電圧 $V_{th}$ 、横軸に時間をとり、書き込み電圧 $V_{pp}$ とセルのチャネル電位との差をパラメータとする。

【0145】不揮発性半導体装置においては、データを書き込む予定の不揮発性メモリセルにどのようなデータ（“0”、“1”、“2”、“3”のいずれか）が書き込まれるかは、選択ゲートの電位とビット線の電位に依存する（図25参照）。

【0146】以上の様に、書き込むデータに応じてビット線の電位 $V_{bit}$ を変化させる事により、4値データの書き込みを行う。以上の様に、本発明にかかる不揮発性半導体記憶装置の書き込み動作の際、一時的にデータを記憶するための一時記憶回路と、ビット線の充電電位を制御する電圧供給手段と二つの装置が必要となる。しかし、図2を見れば判るように、二つの装置とも、MO

Sプロセスで製造できるので、製造工程の複雑化を招かない。

【0147】また、図26に示すように、センス回路における逆並列接続された二つのインバータ $IN1$ 、 $IN2$ をクロックドインバータ $CIN1$ 、 $CIN2$ に替えてもよい。

【0148】図27に、図26に示された不揮発性半導体装置の読み込み動作時のタイミングチャートを示した。クロックドインバータを制御する為の信号 $Sense$ 、 $bSense$ 、 $Latch$ 、 $bLatch$ 信号の動作以外は第一の実施形態と同様である。

【0149】また、図28に、図26に示された不揮発性半導体装置の読み込み動作時の別のタイミングチャートを示した。情報記憶用キャパシタのリセットする際、信号 $CSL$ もLからHに立ち上げている（図28の時間（1）に相当する）以外は図27のタイミングチャートと同じである。

【0150】また、図26の不揮発性半導体記憶回路の書き込み動作は第一の実施形態と同じである。また、以上の実施形態はNAND型メモリセルについて説明した

24

が、NOR型、AND型、DINOR (Divided NOR) 型メモリセルの構成回路図を図29～図31に示した。

【0151】また、上記の実施形態では、選択ゲートの電位を $V_{s01}$ から $V_{s34}$ へ上昇させたが、 $V_{s34}$ から $V_{s01}$ へ、減少させてもよい。その場合に回路構成を図32に示した。図32に示すように、図2と比べて、センス回路及びセルのPMOSとNMOSを入れかえて、ビット線0Vにリセットした後、ソース線 $V_s$ を $V_{cc}$ からドライブするようにすれば良い。

【0152】また、図5を見れば分かるように、4値を判別するだけなら情報用キャパシタの数は3個でもよい。すなわち、N値の判別を行う場合には情報記憶用キャパシタの数は、N値に対応する数だけあればよく、必ずしも情報記憶用キャパシタの数はN値と同じN個とは限らない。

【0153】また、その場合の回路構成図を図33に示した。図33に示したように、一時記憶回路には、トランジスタとキャパシタからなる記憶セルは3個しかないが、この回路では4値を判別する事が出来る。

【0154】次に、図33に示した回路の動作を説明する。一時記憶回路内のストレージノード $N1$ 、 $N2$ 、 $N3$ は、それぞれ電圧供給手段内の対応したトランジスタのゲート端子に接続されているのは、上記の回路と同様である。しかし、ストレージノード $N1$ 、 $N2$ 、 $N3$ はNORゲートに入力され、そのNORゲートの出力は、電圧供給手段内のトランジスタに接続される。

【0155】図34（1）に、4値を記憶する場合のストレージノード $N1$ 、 $N2$ 、 $N3$ の電位を示した。図34（1）に示す様に、メモリセルに“0”データを記憶する場合、 $N1$ 、 $N2$ 、 $N3$ の電位はそれぞれH、H、Hとなり、“1”データを記憶する場合、 $N1$ 、 $N2$ 、 $N3$ の電位はそれぞれL、H、Hとなり、“2”データを記憶する場合、 $N1$ 、 $N2$ 、 $N3$ の電位はそれぞれL、L、Hとなり、“3”データを記憶する場合、 $N1$ 、 $N2$ 、 $N3$ の電位はそれぞれL、L、Lとなる。

【0156】また、書き込みデータの応じたビット線の電位は、前述と同様の原理により、図34（2）に示すようになる。図34（2）に示すように、書き込みデータが“3”データの時、ビット線の電位 $V_{bit}$ は $V_{ss}$ となり、書き込みデータが“2”データの時、ビット線の電位 $V_{bit}$ は $\alpha \times (V_{m3} - V_{ss}) + V_{cc} - 2V_{th}$ となり、書き込みデータが“1”データの時、ビット線の電位 $V_{bit}$ は $\alpha \times (V_{m2} - V_{ss}) + V_{cc} - 2V_{th}$ となり、書き込みデータが“0”データの時、ビット線の電位 $V_{bit}$ は $\alpha \times (V_{m1} - V_{ss}) + V_{cc} - 2V_{th}$ となる。

【0157】以上の様にして、3個のストレージノード $N1$ 、 $N2$ 、 $N3$ の電位は、それぞれ電圧供給手段内の対応したトランジスタ $T32 \sim T34$ のON/OFFを

制御すると同時に、NORゲートを介して新たに信号を形成しトランジスタT31のON/OFFも制御する事が出来る。これにより、3個の記憶セルで4値記憶の不揮発性半導体記憶装置を実現できる。

#### 【0158】

【発明の効果】本発明は、以上の様に構成されているので、同一ワード線に接続されたメモリセルに同時に読み書きが出来るので、データの読み書きに要する時間を短縮する事が可能となる。

【0159】また、従来は多値記憶回路にラッチ回路を用いていたが、本発明の一時記憶回路はMOSトランジスタ及びキャパシタにより形成されるので、大幅な占有面積の増加を伴わない。

【0160】また、情報記憶用キャパシタに平面型のMOSキャパシタを用いた場合、半導体基板上にキャパシタを積み重ねるスタック型キャパシタや、半導体基板に溝を掘って形成するトレンチ型キャパシタと異なり、平面型のMOSキャパシタは他のMOSトランジスタと同時に形成できるので、プロセス工程の大幅な増加を伴わない。また、トレンチ型キャパシタやスタック型キャパシタを使用した場合、3次元的にキャパシタを形成できるので占有面積の増加はほとんどない。

#### 【図面の簡単な説明】

【図1】本発明にかかる不揮発性半導体記憶装置のブロック図。

【図2】本発明にかかる不揮発性半導体記憶装置の第一の詳細回路図。

【図3】第一の実施形態におけるデータ読み出し動作のタイミングチャート。

【図4】4値記憶の不揮発性メモリにおけるしきい値の個数分布図。

【図5】記憶されるデータの一覧図。

【図6】MOSキャパシタの断面図及び等価回路図。

【図7】第二の実施形態におけるデータ読み出し動作のタイミングチャート。

【図8】本発明の読み出し動作を行う為のワード駆動回路の第一の実施形態図。

【図9】図8記載のワード駆動回路のタイミングチャート。

【図10】本発明の読み出し動作を行う為のワード駆動回路の第二の実施形態図。

【図11】本発明の読み出し動作を行う為のワード駆動回路の第三の実施形態図。

【図12】図11記載のワード駆動回路のタイミングチャート。

【図13】第三の実施形態におけるデータ読み出し動作のタイミングチャート。

【図14】第三の実施形態の読み出し動作を実現する為のワード駆動回路の第一の実施形態図。

【図15】図14記載のワード駆動回路のタイミングチ

ャート。

【図16】第三の実施形態の読み出し動作を実現する為のワード駆動回路の第二の実施形態図。

【図17】図16記載のワード駆動回路のタイミングチャート。

【図18】第三の実施形態の読み出し動作を実現する為のワード駆動回路の第三の実施形態図。

【図19】図18記載のワード駆動回路のタイミングチャート。

【図20】第三の実施形態の読み出し動作を実現する為のワード駆動回路の第四の実施形態。

【図21】図20記載のワード駆動回路のタイミングチャート。

【図22】昇圧回路及びパルス発生回路図。

【図23】図22記載のパルス発生回路のタイミングチャート。

【図24】本発明にかかる不揮発性半導体記憶装置の書き込み動作時のタイミングチャート。

【図25】不揮発性メモリセルの書き込み特性を示す図。

【図26】本発明にかかる不揮発性半導体記憶装置の第二の詳細回路図。

【図27】図26記載の不揮発性半導体記憶装置の読み込み動作時のタイミングチャートの第一の実施形態。

【図28】図26記載の不揮発性半導体記憶装置の読み込み動作時のタイミングチャートの第二の実施形態。

【図29】NOR型不揮発性半導体記憶装置の構成回路図。

【図30】AND型不揮発性半導体記憶装置の構成回路図。

【図31】DINOR型不揮発性半導体記憶装置の構成回路図。

【図32】選択ゲートの電位を高電位から低電位へ減少させる為の本発明にかかる不揮発性半導体記憶装置の回路構成図。

【図33】情報記憶用のキャパシタが3個の場合の本発明にかかる不揮発性半導体記憶装置の回路詳細図。

【図34】図33に示す回路における書き込みデータに応じたストレージノードの電位を示す図。

【図35】従来の不揮発性半導体記憶装置のブロック図。

【図36】従来の不揮発性半導体記憶装置のメモリセルアレイ周辺の詳細回路図。

【図37】NAND型不揮発性半導体記憶装置の構成回路図。

【図38】NAND型メモリセルの集積回路上における断面図。

【図39】フローティングゲートに電子を注入し、データを書き込んでいる様子を示した図。

【図40】従来の多値記憶可能な不揮発性半導体記憶装



27

置のセンスアンプブロックの詳細図。

【符号の説明】

T11~T14、T31~T34、T41~T44、T

S1~TS3 トランジスタ

IN1、IN2 インバータ

28

\*C1~C2 情報記憶用キャパシタ

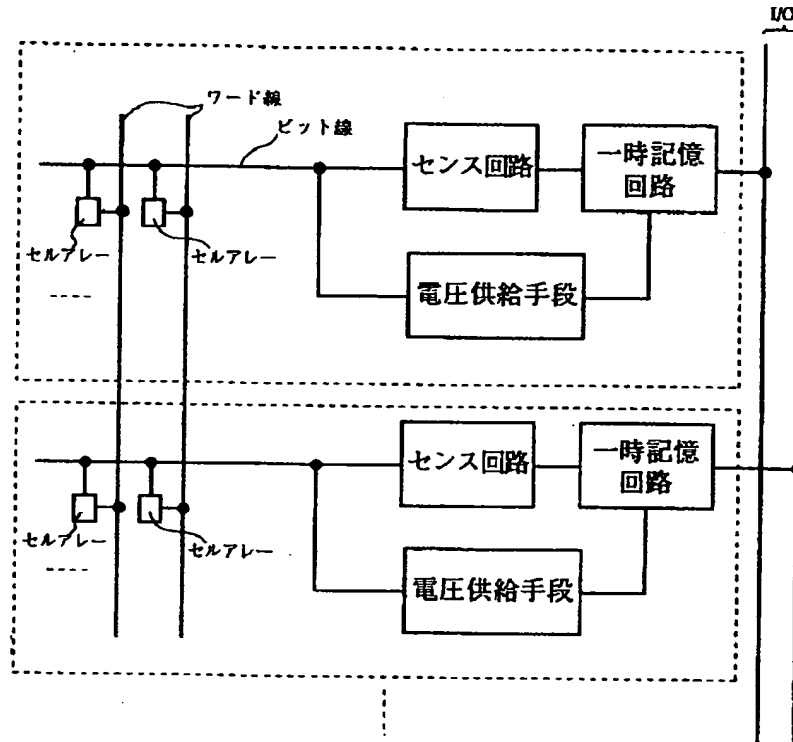
VPL1~VPL4 プッシュ電圧

Vcc 高電源電圧

Vss 低電源電圧

\* I/O 入出力線

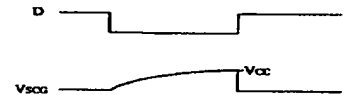
【図1】



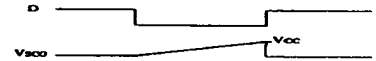
【図5】

	N1の電位	N2の電位	N3の電位	N4の電位
"0"	H	H	H	H
"1"	L	H	H	H
"2"	L	L	H	H
"3"	L	L	L	H

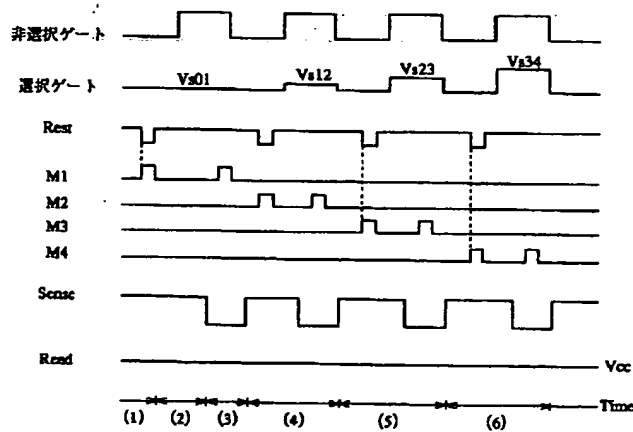
【図15】



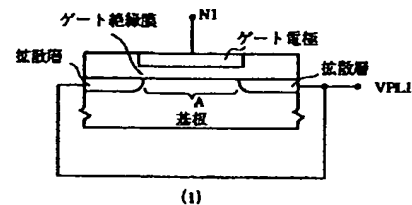
【図17】



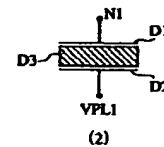
【図3】



【図6】

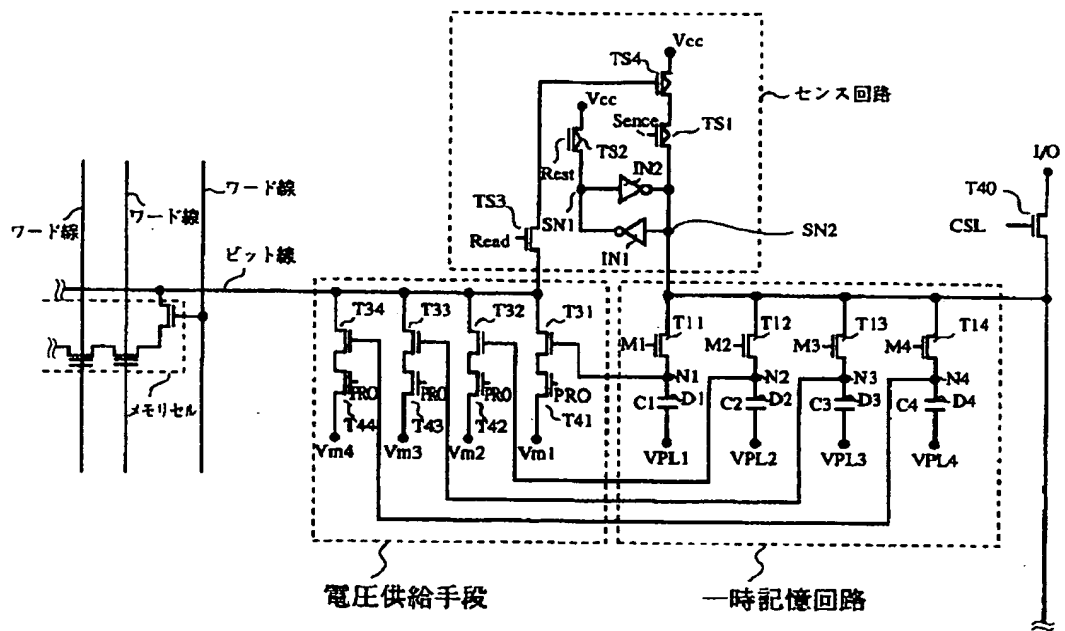


(1)

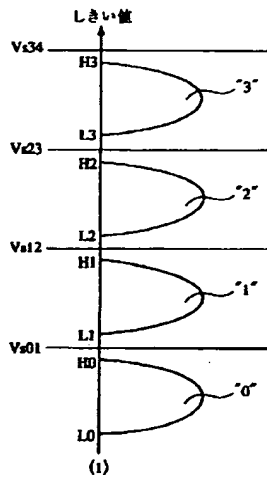


(2)

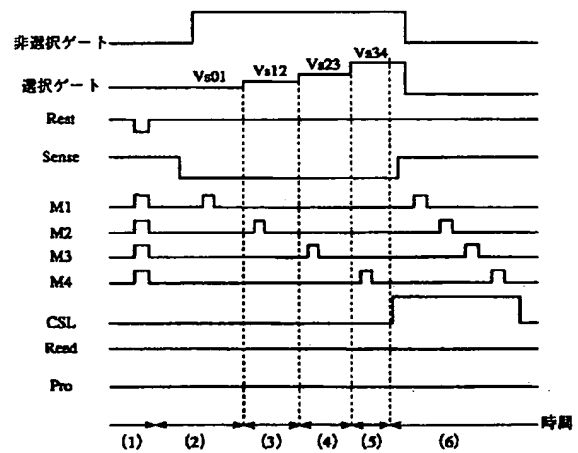
【図 2】



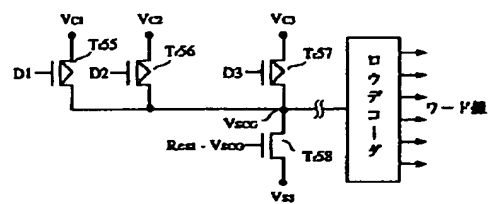
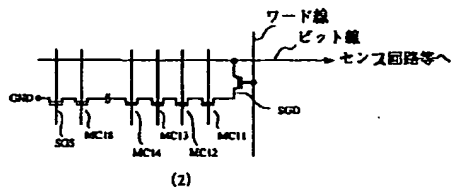
【図 4】



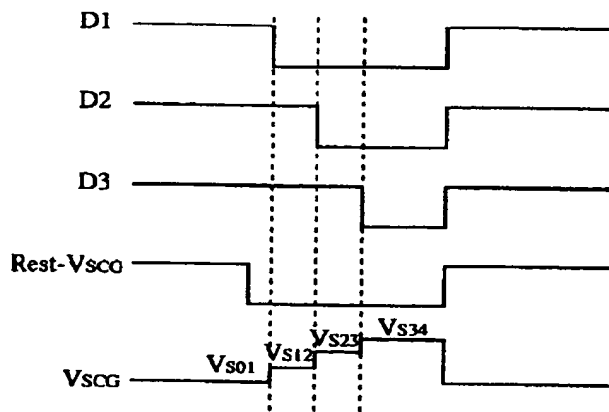
【図 7】



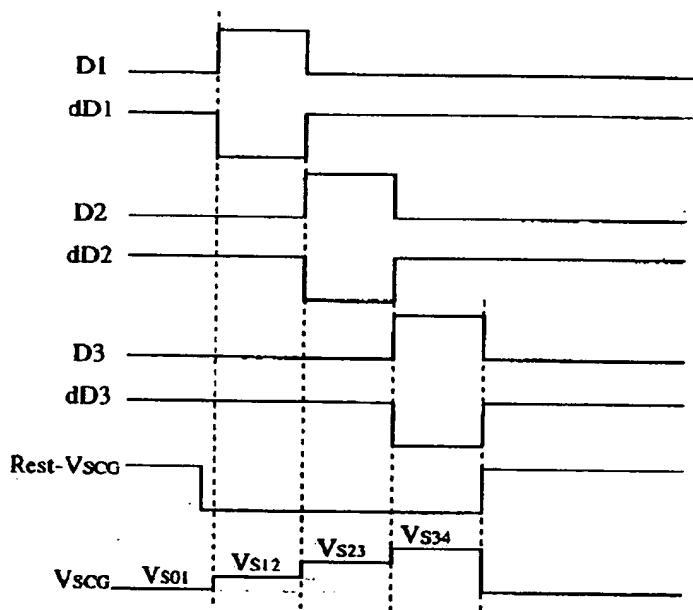
【图 8】



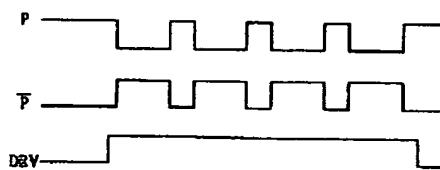
【図 9】



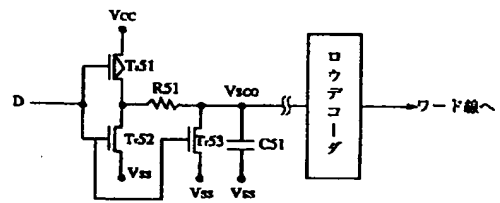
【図 12】



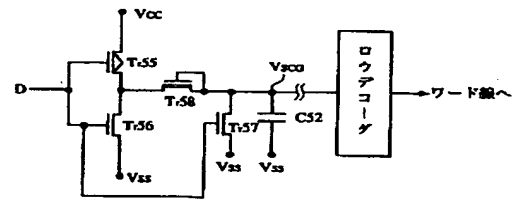
【図 23】



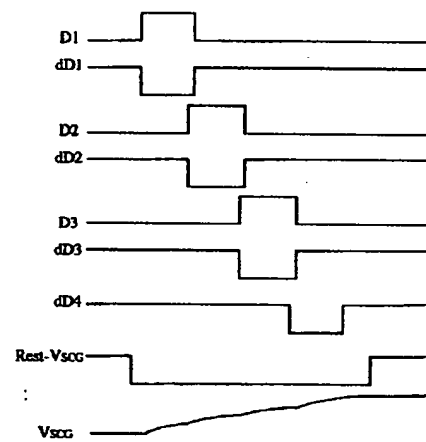
【図 14】



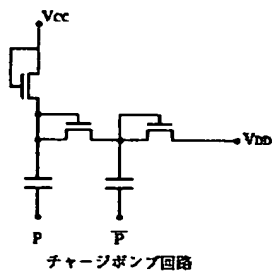
【図 16】



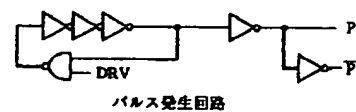
【図 21】



【図 22】

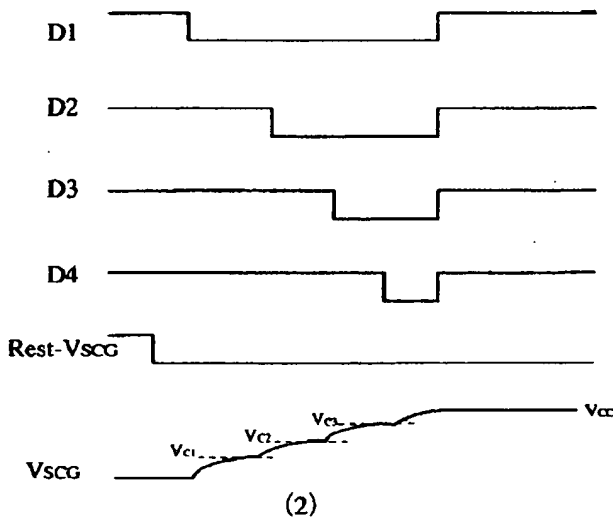
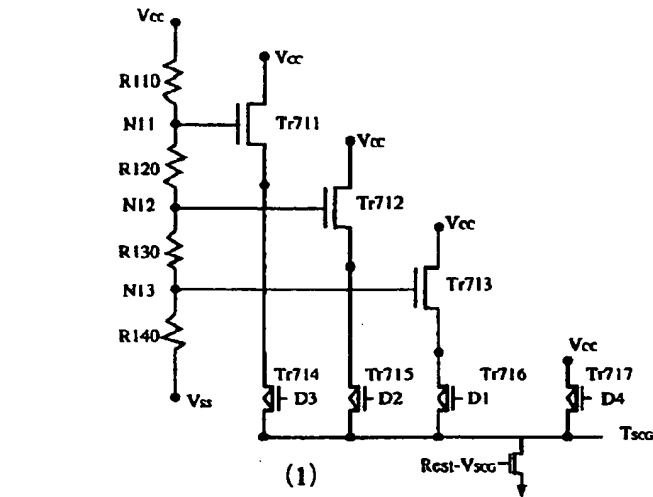


チャージポンプ回路

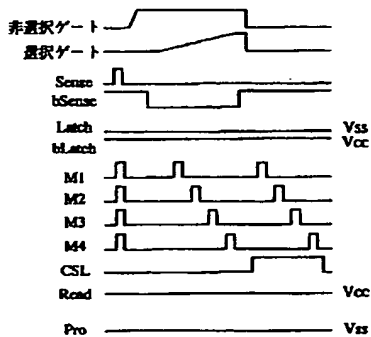


パルス発生回路

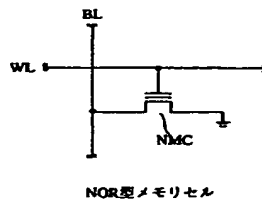
【図10】



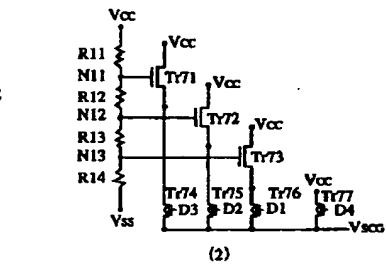
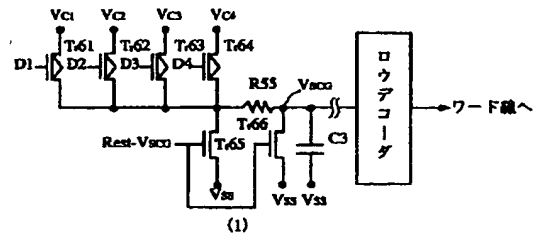
【図27】



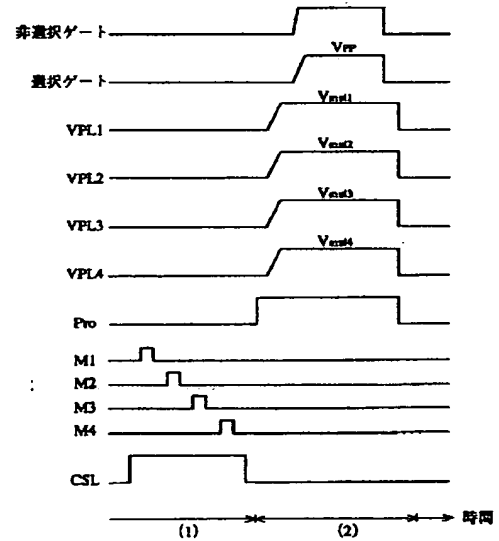
【図29】



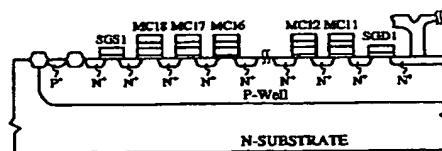
【図18】



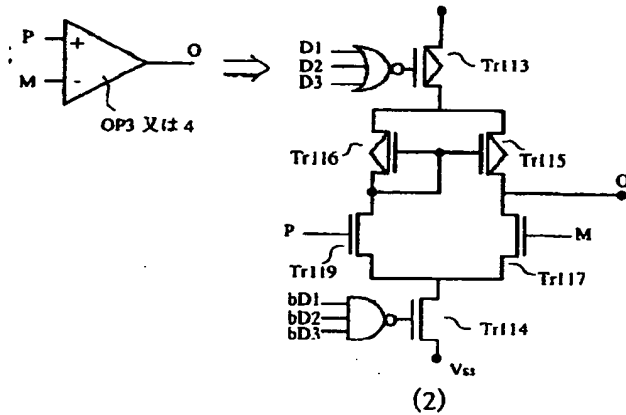
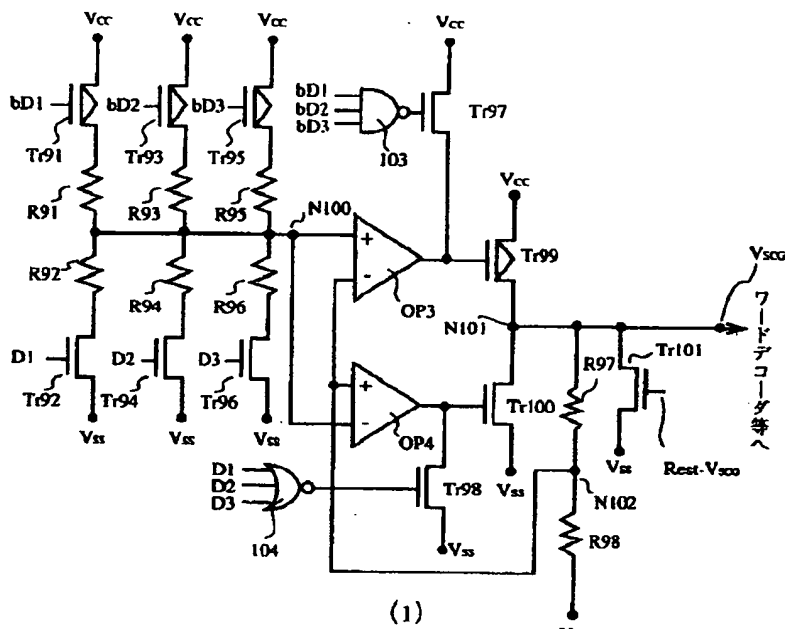
【図24】



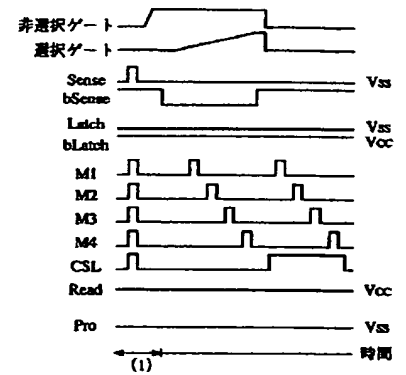
【図38】



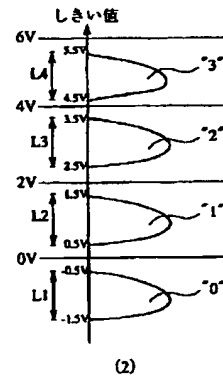
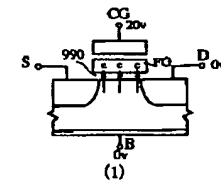
【図11】



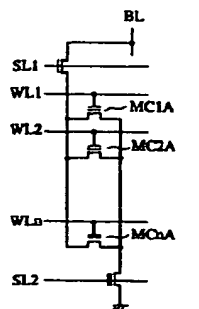
【図28】



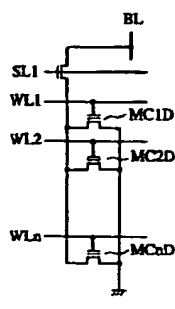
【図39】



【図30】



【図31】



【図34】

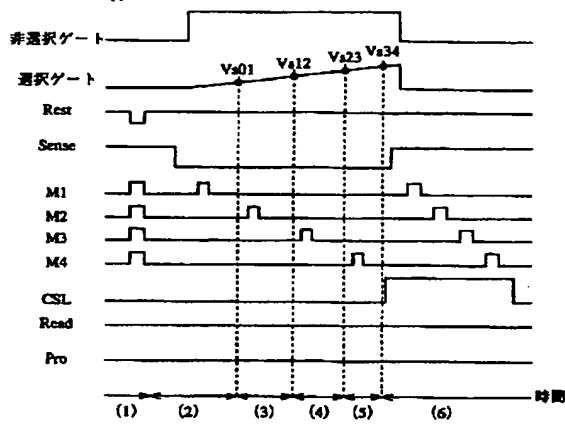
	N1の電位	N2の電位	N3の電位
"0"	H	H	H
"1"	L	H	H
"2"	L	L	H
"3"	L	L	L

(1)

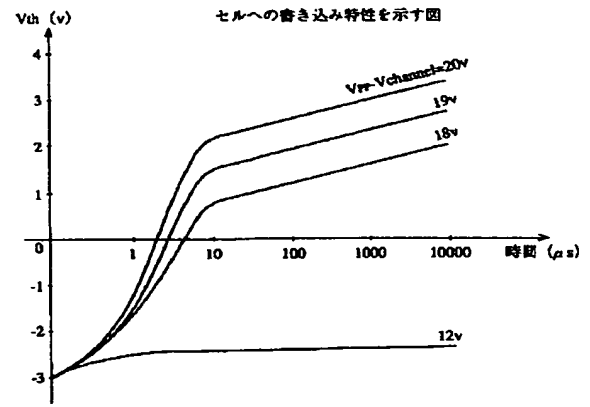
書き込みデータ	ビット線の電位
"3"	Vss
"2"	$a \times (V_{a0} - V_{ss}) + V_{cc} - 2V_a$
"1"	$a \times (V_{a0} - V_{ss}) + V_{cc} - 2V_a$
"0"	$a \times (V_{a0} - V_{ss}) + V_{cc} - 2V_a$

(2)

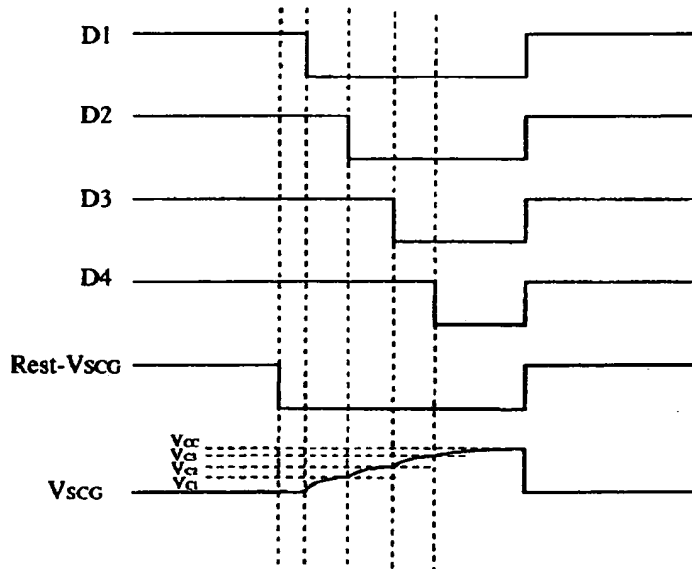
【図13】



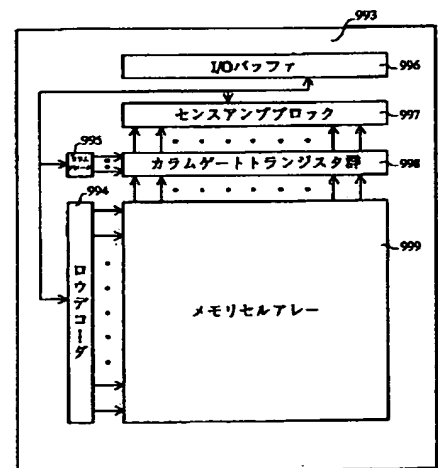
【図25】



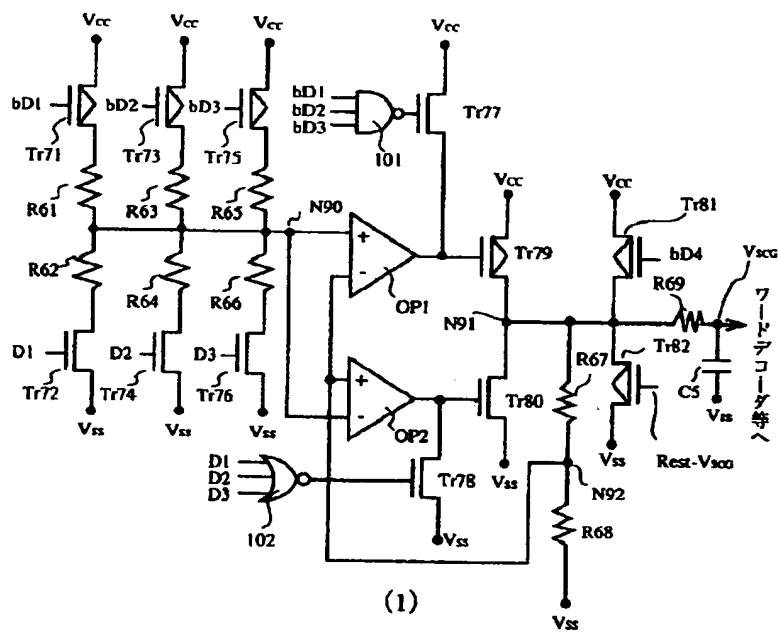
【図19】



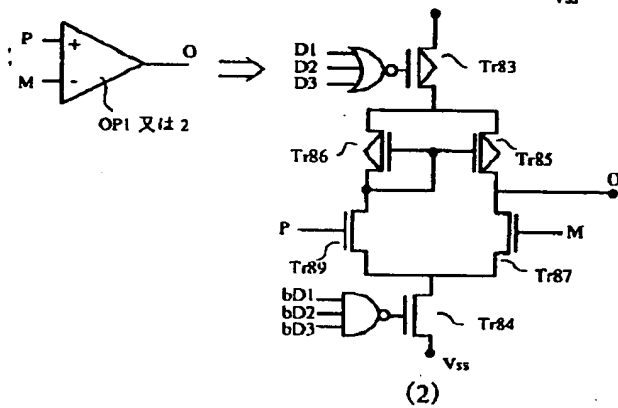
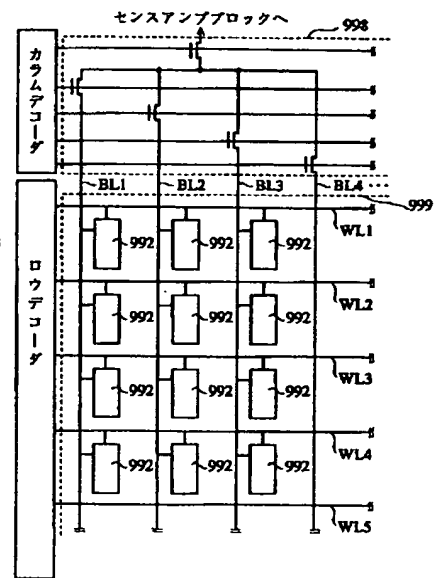
【図35】



【図 20】



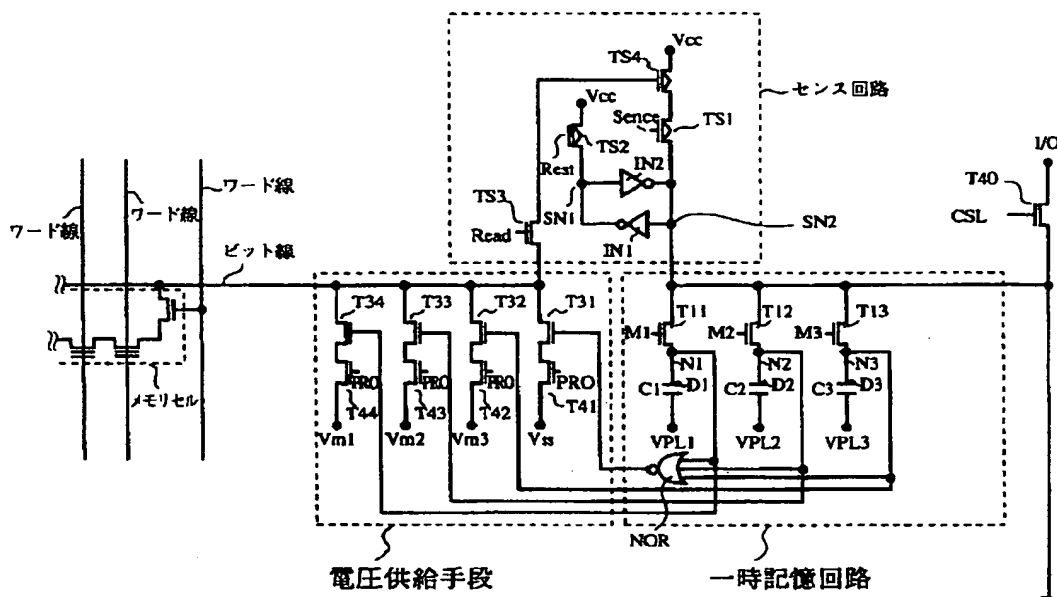
【図 36】



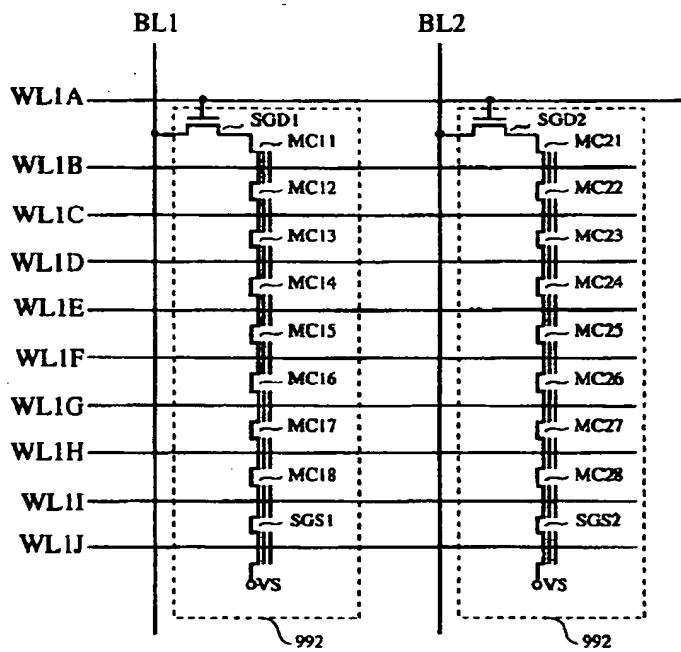
[illegible]



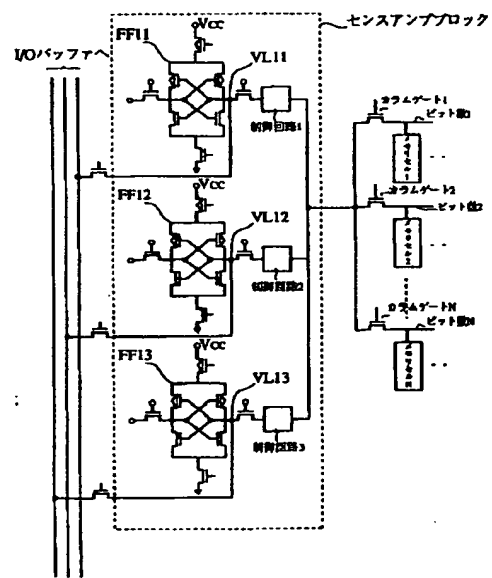
【图 3 3】



【図 3 7】



【図 40】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**